

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Koichi KISHIRO :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: December 17, 2003 : Attorney Docket No. OKI.601
For: SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2003-113381 filed April 17, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: December 17, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 3 3 8 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 1 3 3 8 1]

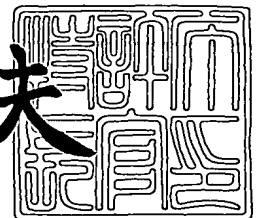
出 願 人 沖電気工業株式会社
Applicant(s):



2 0 0 3 年 1 2 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 OG004768

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/12

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 木城 耕一

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100089093

 【弁理士】

 【氏名又は名称】 大西 健治

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 支持基板上に、酸化膜を介して素子形成領域及び素子分離領域を有する S O I 層を形成する工程と、

前記酸化膜付近の前記支持基板に対して、前記素子形成領域下部から前記素子分離領域下部に亘って延在するように不純物をイオン注入することによって、前記不純物をイオン注入した部分の前記支持基板を低抵抗層とする工程と、

前記支持基板を熱処理する工程と、

前記 S O I 層の前記素子分離領域に素子分離層を形成する工程と、

前記素子分離層及び前記酸化膜を貫通し、前記低抵抗層まで到達するコンタクトを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記コンタクトは、前記支持基板と接触する部分に密着層を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記不純物は、A s であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記 S O I 層の前記素子形成領域に拡散層を有する半導体素子を形成する工程を有し、

前記拡散層の熱処理と前記支持基板の熱処理とを同時に行うことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記 S O I 層の前記素子分離領域に素子分離層を熱処理を用いて形成する工程を有し、

前記素子分離層の熱処理と前記支持基板の熱処理とを同時に行うことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 支持基板上に酸化膜を介して形成された、S O I 層及び素子分離層と、

前記酸化膜付近の前記支持基板において、前記 S O I 層下部から前記素子形成層下部に亘って延在する低抵抗層と、

前記素子分離層及び前記酸化膜を貫通し、前記低抵抗層まで到達するコンタク

トとを有することを特徴とする半導体装置。

【請求項 7】 前記コンタクトは、前記支持基板と接触する部分に密着層を有することを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記低抵抗層は、As を前記支持基板にイオン注入して形成されていることを特徴とする請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、SOI (Silicon on Insulator) 基板を用いて、支持基板の電位を固定することが可能な半導体装置を製造する方法、及びその方法によって製造された半導体装置に関するものである。

【0002】

【従来の技術】

SOI 基板とは、SOI 層と支持基板とが、埋め込み酸化膜で分離された構造となっている半導体基板のことである。SOI 基板に形成したトランジスタは、トランジスタを形成した SOI 層が厚い埋め込み酸化膜によって支持基板と電氣的に完全に分離されているために、寄生容量が小さい、ラッチアップを起こさない、クロストークノイズに強い、などの特徴がある。

【0003】

しかし、SOI 基板を用いた場合でも、同一の基板上に形成された素子同士のクロストークを完全に防ぐことは難しい。この対策として、埋め込み酸化膜下にある支持基板の電位を固定する方法がある。ただし、WCSP (Wafer-level Chip Size Package) のように支持基板側が樹脂で覆われてしまうパッケージを用いる場合、支持基板から直接電氣的なコンタクトをとることができないので、ウェハの表面から支持基板へのコンタクトを形成し、SOI 層側から電氣的なコンタクトをとる必要がある。このとき、コンタクトと支持基板との間に生じる抵抗を低減するために、SOI 層に形成した素子分離層と埋め込み酸化膜を貫通するコンタクトホールを形成し、その底部において露出している支持基板に、コンタクトホールを形成した素子分離層をマスクとして高濃度の不純物をイオン注入する。

【 0 0 0 4 】

【特許文献 1】

特開平 1 1 - 3 5 4 6 3 1

【 0 0 0 5 】

【特許文献 2】

特開 2 0 0 2 - 1 1 0 9 5 1

【 0 0 0 6 】

【特許文献 3】

特開 2 0 0 2 - 8 3 9 7 2

【 0 0 0 7 】

【特許文献 4】

特開平 9 - 2 8 3 7 6 6

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、S O I 層側から支持基板へ向かってコンタクトホールを形成し、コンタクトホール底部の支持基板へイオン注入する方法では、微細化の進んだプロセスの場合はアスペクト比が増大するため、不純物が支持基板まで十分に届かない恐れがある。

【 0 0 0 9 】

また、仮に不純物が支持基板まで十分に届いたとしても、不純物が高濃度にイオン注入される領域はコンタクトホール底部に限られる。そのため、このような方法によって得られた半導体装置では、コンタクトホール底部から素子形成領域下部にかけてのほとんどの領域においては、不純物が高濃度にイオン注入されていない。このことによって、さらに以下のような問題が生じる。

【 0 0 1 0 】

S O I 層における素子形成領域に形成されたトランジスタの動作をコントロールするために、素子形成領域下部の支持基板の電位を操作する場合があるが、この操作はコンタクトホールを埋めるプラグの電位を変化させることによって行う。しかしながら上記説明したように、支持基板のコンタクトホール底部から素子

形成領域下部にかけてのほとんどの領域においては、不純物が高濃度にイオン注入されていないので、抵抗が高くなっている。このため、支持基板のコンタクトホール底部から素子形成領域下部にかけての領域には電流をあまり多く流すことができないので、素子形成領域下部の支持基板へ電荷の供給が遅くなる。したがって、素子形成領域下部の支持基板の電位の操作を迅速に行えない。

【0011】

【課題を解決するための手段】

以上の課題を解決するために本発明の半導体装置の製造方法では、支持基板上に酸化膜を介して素子形成領域及び素子分離領域を有するSOI層を形成し、酸化膜付近の支持基板に対して素子形成領域下部から素子分離領域下部に亘って延在するように不純物をイオン注入することによって、前記不純物をイオン注入した部分の前記支持基板を低抵抗層とし、支持基板を熱処理し、SOI層の素子分離領域に素子分離層を形成し、素子分離層及び酸化膜を貫通し低抵抗層まで到達するプラグを形成する。

【0012】

【発明の実施の形態】

(第1の実施例)

図1(A)～図4(A)は、本発明の第1の実施例を示す平面図である。また、図1(B)～図4(B)は、それぞれ図1(A)～図4(A)を点線XYで切断した時の断面を示す断面図である。以下、図1～図4を用いて本発明の第1の実施例を説明する。本発明の第1の実施例は、SOI基板を用いた半導体装置の製造方法である。

【0013】

まず、図1(A)、図1(B)に示すように、支持基板10とSOI層30との間に埋め込み酸化膜20を有する半導体基板(以下SOI基板)を用意する。SOI基板は、ウェハの状態のものでも、ウェハを個片に分割したチップでもよい。また、SIMOX(Silicon Implanted OXide)法によって形成されたものでも、貼り合わせ法によって形成されたものでもよい。また、SOI層30は素子形成領域と素子分離領域を有している。そして、支持基板10の埋め込み酸化

膜 20 近傍に、不純物を $1 \times 10^{20} \text{cm}^{-3}$ 程度の高濃度にイオン注入することによって、支持基板 10 の埋め込み酸化膜 20 近傍を低抵抗層 40 とする。この不純物は、少なくとも素子形成領域下部の支持基板 10 から素子分離領域下部の支持基板 10 まで延在するように行う。この条件を満たす限り、支持基板 10 の埋め込み酸化膜 20 近傍であれば、どこに不純物をイオン注入してもよい。例えば、支持基板 10 の全面に対してイオン注入することもできる。なお、イオン注入は SOI 層 30 と埋め込み酸化膜 20 を通して行う。

【0014】

そして、支持基板 10 に対して熱処理を行う。なお、この熱処理によって支持基板 10 にイオン注入した不純物はある程度拡散するので、支持基板 10 にイオン注入する不純物は拡散係数の小さいものが望ましい。これは、熱処理による拡散を最小限にすることによって、不純物をイオン注入することによって形成した低抵抗層 40 の抵抗の上昇を抑えるためである。例えば、支持基板 10 がシリコンである場合には、Asなどが望ましい。

【0015】

なお、上記の熱処理は、必ずしも不純物のイオン注入直後に行う必要はなく、次工程のトランジスタ 60 を形成する時の拡散層 70 の熱処理や、同じく次工程の素子分離層 50 を形成する時の熱処理と同時に行ってもよい。このようにすることで、熱処理の回数を減らし、工程数を削減することができ、不純物の拡散を最小限に抑えることができる。

【0016】

次に、図 2 (A)、図 2 (B) に示すように、SOI 層 30 の素子分離領域に LOCOS 法などにより素子分離層 50 を形成し、SOI 層 30 の素子形成領域に拡散層 70 を有するトランジスタ 60 を形成する。

そして、図 3 (A)、図 3 (B) に示すように、層間絶縁膜 80 を SOI 層 30 及び素子分離層 50 の上に堆積する。さらに、層間絶縁膜 80、素子分離層 50、埋め込み酸化膜 20 を貫通し、支持基板 10 まで到達するコンタクトホール 90 を形成する。

【0017】

最後に、図4 (A)、図4 (B) に示すように、TiNからなる密着層95をコンタクトホール90の底部に形成し、その上にWからなるプラグ100を堆積して、コンタクトホール90を埋める。またコンタクトホール90の埋め込みにWではなく、不純物をイオン注入したPoly-Siを用いることも可能である。この場合は、支持基板10にイオン注入した不純物とPoly-Siにイオン注入した不純物を同じ導電型にしておくことで、支持基板10とプラグ100との間に生じるショットキーバリアの形成を防ぐ。

【0018】

以上説明したように本発明の第1の実施例の半導体装置の製造方法によれば、不純物を酸化膜下の支持基板にイオン注入する時にコンタクトホールを有する素子分離層をマスクとして用いるわけではない。素子や素子分離層の形成前に不純物を支持基盤にイオン注入するので、コンタクトホールのアスペクト比に関係なく、不純物が支持基板まで届く。

【0019】

また、あらかじめ不純物をイオン注入した支持基板、埋めこみ酸化膜、SOI層のそれぞれを張り合わせるのではなく、完成したSOIウェハの支持基板に対して不純物をイオン注入するので、貼り合わせ時の熱によって支持基板にイオン注入した不純物が拡散することによって、不純物をイオン注入した領域、つまり低抵抗層の抵抗が大きくなってしまわない。

【0020】

(第2の実施例)

図5 (A) は、本発明の第2の実施例を示す平面図である。また、図5 (B) は、図5 (A) を点線XYで切断した時の断面を示す断面図である。以下、図5を用いて本発明の第2の実施例を説明する。本発明の第2の実施例は、SOI基板を用いた半導体装置であり、第1の実施例を用いて製造した半導体装置に相当する。

【0021】

本発明の第2の半導体装置は、支持基板10上に形成された埋めこみ酸化膜20上に形成されている。

埋めこみ酸化膜 20 の上には、SOI 層 30 及び素子分離層 50 が配置されている。SOI 層 30 には、拡散層 70 を有する半導体素子 60 が形成されている。また、支持基板 10 の埋めこみ酸化膜 20 に近い領域には、As などの不純物が $1 \times 10^{20} \text{cm}^{-3}$ 程度の高濃度にイオン注入されており、ここが低抵抗層 40 になっている。また、この低抵抗層 40 は、素子分離層 50 の下部から SOI 層 30 の下部まで延在している。

【0022】

さらに、SOI 層 30 及び素子分離層 50 の上には、層間絶縁膜 80 が形成されている。そして、この層間絶縁膜 80、素子分離層 50、埋めこみ酸化膜 20 をそれぞれ貫通し、支持基板 10 の表面まで到達している W からなるプラグ 100 が形成されている。また、プラグ 100 の底部は TiN からなる密着層 95 となっている。つまり、プラグ 100 は底部の密着層 95 が、低抵抗層 40 と接触していることになる。

【0023】

以上説明したように本発明の第 2 の実施例の半導体装置は、支持基板の酸化膜付近に、SOI 層下部から素子分離層下部に延在する低抵抗層を有する。また、コンタクトはその低抵抗層に接続されている。この構造を、回路図で示すと図 6 のようになる。以下、図 6 を用いて本発明の第 2 の実施例の効果を説明する。

図 6 において、ノード N1 はプラグ 100、それぞれのノード N2 は低抵抗層 40 のうち、SOI 層 30 の下部にある部分、配線抵抗 R は低抵抗層 40 のうち、プラグ 100 から SOI 層 30 の下部まで延在している部分である。

【0024】

トランジスタ 60 の動作をコントロールする時に、トランジスタ 60 に対して埋めこみ酸化膜 20 を挟んで反対側にある部分の低抵抗層 40 の電位を調節する場合がある。この時、当該部分の低抵抗層 40（以下 N2）は、図 6 に示すようにプラグ 100（以下 N1）と電氣的に接続されているので、N1 の電位を変化させることによって N2 の電位を調節することができる。

【0025】

N1 の電位を変化させると、N1 と N2 との間に電位差が生じるので、N1 と

N 2 との間に電流が流れる。この電流によって、N 1 から N 2 に電荷が移動し、最終的には N 1 と N 2 が同電位になる。以上が N 2 の電位を調節するメカニズムである。しかしこの時、N 1 と N 2 との間の配線抵抗 R があるので、N 1 と N 2 との電位差が決まっていれば、オームの法則によって電流の大きさも決まってしまう。そしてこの電流は、配線抵抗 R の値が小さいほど大きくなる。したがって、配線抵抗 R が小さいほど N 1 と N 2 との間に大きな電流を流すことができる。また、電流とは単位時間あたりに流れる電荷の量を示す。したがって、電流が大きくなるほど電荷の移動が早くなるので、N 1 の電位の変化に対して N 2 の電位を高速に変化させることができる。

【0026】

本発明の第 2 の実施例では、低抵抗層がプラグから S O I 層下部にかけて延在しているので、プラグから S O I 層下部の支持基板にかけて多くの電流を流すことができる。ゆえに、S O I 層における素子形成領域に形成されたトランジスタの動作をコントロールするため、S O I 層下部の支持基板の電位を操作する時、S O I 層下部の支持基板へ早く電荷を供給できる。したがって、S O I 層下部の支持基板の電位の操作を迅速に行うことができる。

【0027】

【発明の効果】

以上説明したように、本発明の第 1 の実施例に記載の半導体装置の製造方法においては、コンタクトホールのアスペクト比に関係なく、不純物が支持基板まで届く。また、完成した S O I ウェハの支持基板に対して不純物をイオン注入するので、貼り合わせ時の熱によって支持基板にイオン注入した不純物が拡散し、不純物をイオン注入した領域、つまり低抵抗層の抵抗が大きくなってしまわない。一方、本発明の第 2 の実施例の半導体装置は、素子形成領域下部の支持基板の電位の操作を迅速に行うことができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例を示す平面図及び断面図である。

【図 2】

本発明の第 1 の実施例を示す平面図及び断面図である。

【図 3】

本発明の第 1 の実施例を示す平面図及び断面図である。

【図 4】

本発明の第 1 の実施例を示す平面図及び断面図である。

【図 5】

本発明の第 2 の実施例を示す平面図及び断面図である。

【図 6】

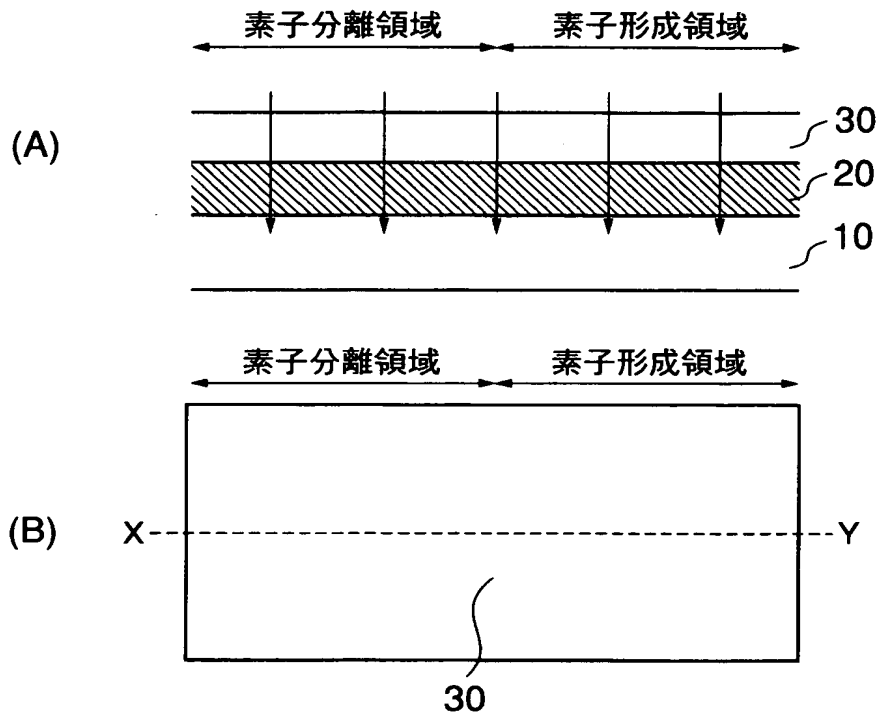
本発明の第 2 の実施例の効果の説明するための回路図である。

【符号の説明】

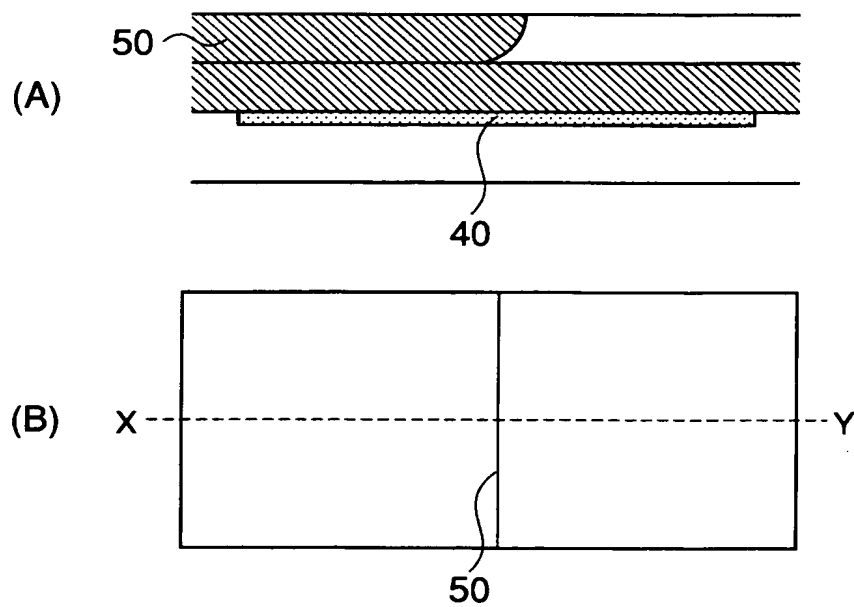
- 1 0 : 支持基板
- 2 0 : 埋めこみ酸化膜
- 3 0 : S O I 層
- 4 0 : 低抵抗層
- 5 0 : 素子分離層
- 6 0 : トランジスタ
- 7 0 : 拡散層
- 8 0 : 層間絶縁膜
- 9 0 : コンタクトホール
- 9 5 : 密着層
- 1 0 0 : プラグ

【書類名】 図面

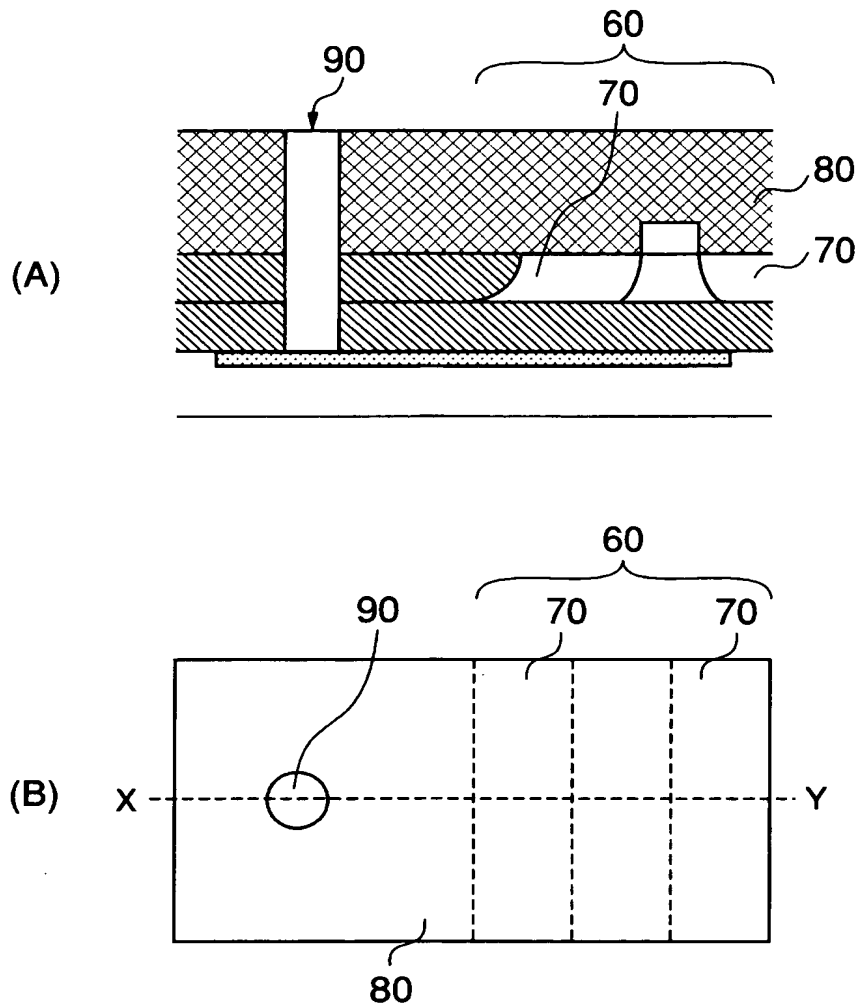
【図 1】



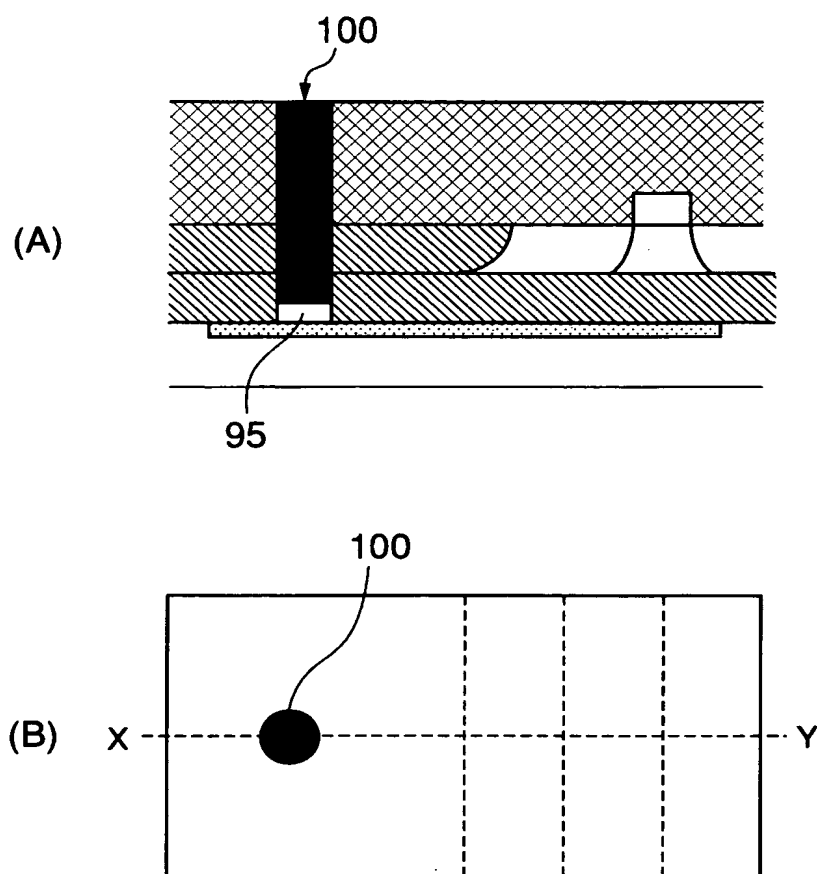
【図 2】



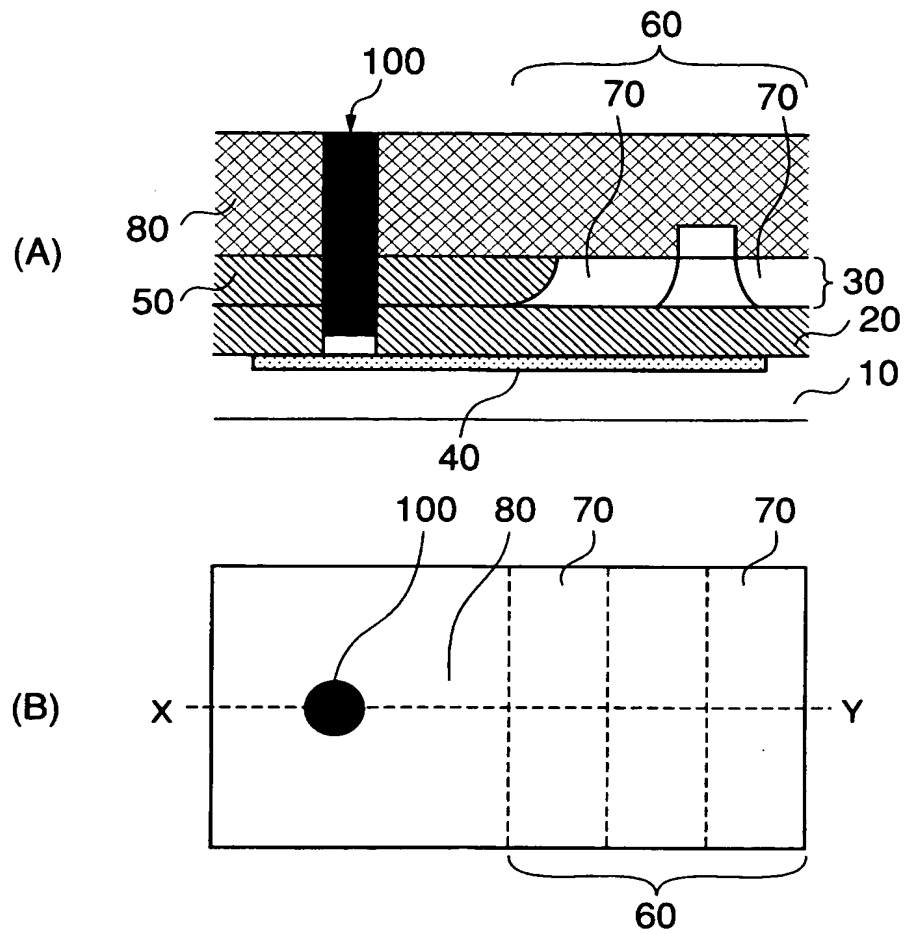
【図 3】



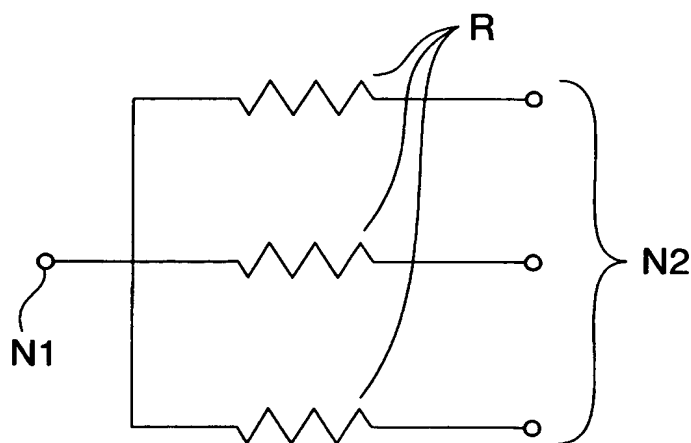
【図 4】



【図 5】



【図 6】





【書類名】 要約書

【要約】

【課題】 支持基板へ確実に不純物をイオン注入できる半導体装置の製造方法と、支持基板の電位をすばやく操作できる半導体装置を提供する。

【解決手段】 埋め込み酸化膜 2 0 下の支持基板 1 0 全面に不純物をイオン注入するので、不純物がコンタクトホール 9 0 の底部以外にも行き渡る。このために、素子形成領域下部から素子分離領域下部に延在する低抵抗層 4 0 を有するようになる。したがって、コンタクト 9 0 から素子形成領域下部の支持基板 1 0 にかけて多くの電流を流すことができる。このために、素子形成領域下部の支持基板 1 0 へ早く電荷を供給できるので、素子形成領域下部の支持基板 1 0 の電位の操作を迅速に行うことができる。

【選択図】 図 5



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 1 3 3 8 1
受付番号	5 0 3 0 0 6 4 2 0 3 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 1 8 日

< 認定情報・付加情報 >

【提出日】 平成15年 4月17日

次頁無

特願 2 0 0 3 - 1 1 3 3 8 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社